

基于 28 nm CMOS 工艺的鉴频鉴相器和电荷泵设计

谢 灿^{1,2}, 黄水龙^{1,2}

(1 中国科学院 微电子研究所, 北京 100029; 2 新一代通信射频芯片技术北京市重点实验室, 北京 100029)

摘 要: 基于 SMIC 28 nm CMOS 工艺, 完成了高性能鉴频鉴相器和电荷泵的设计. 采用 D 触发器型鉴频鉴相器结构, 通过优化其门电路结构, 获得了一种两路输出信号具有良好匹配性能的鉴频鉴相器. 采用源极开关的电荷泵结构, 同时在该结构中采用轨到轨输入级的运放, 获得了一种在较大的输出电压范围内都具有低失配电流的电荷泵.

关键词: 高性能; 鉴频鉴相器; 电荷泵; 源极开关; 电流失配

中图分类号: TN4

文献标识码: A

文章编号: 1000—7180(2016)12—0057—05

The Design of Phase Frequency Detector and Charge Pump Based on 28 nm CMOS Process

XIE Can^{1,2}, HUANG Shui-long^{1,2}

(1 Institute of Microelectronics of Chinese Academy of Sciences, Beijing 100029, China;

2 Beijing Key Laboratory of Radio Frequency IC Technology for Next Generation
Communications, Beijing 100029, China)

Abstract: The design of high-performance Phase Frequency Detector and Charge Pump based on SMIC 28 nm CMOS process has been achieved in this paper. By using D flip-flop PFD and optimizing structure of the gate, a PFD has been accomplished, which two output had a good matching performance. To obtain a CP with low mismatch current under the larger range of output voltage, source-switch CP structure and an operational amplifier with a rail-to-rail input stage were used.

Key words: high-performance; phase frequency detector; charge pump; source-switch; current mismatch

1 引言

锁相环作为重要的电路模块, 为无线接收系统提供稳定的本振信号, 为数字系统提供高质量的时钟信号, 它广泛地应用于无线通信、高速接口等领域. 而鉴频鉴相器(PFD)和电荷泵(CP)作为锁相环的重要组成部分, 其性能的好坏, 直接影响整个锁相环的性能^[1].

鉴频鉴相器的两路输出信号不匹配, 会引入参考杂散, 而电荷泵的电流失配也对参考杂散有着至关重要的影响. 此外, 鉴频鉴相器和电荷泵的噪声作为锁相环带内相噪的主要贡献, 也会影响锁相环的整体噪声性能, 故设计具有高性能的鉴频鉴相器和电荷泵意义非凡^[2].

本文采用 D 触发器型 PFD, 通过优化逻辑门电路结构, 来获得高性能的鉴频鉴相器, 采用带运放且运放为轨到轨输入的源极开关电荷泵结构, 设计了一款高性能的电荷泵.

2 鉴频鉴相器的具体实现

PFD 的实现结构有许多种, 传统的 CMOS PFD (Conventional CMOS PFD) 灵敏度高、线性度好, 但是具有较大的鉴相“死区”, 且在高频情形下功耗较高^[3]. 预充电型 PFD(Pre-charge PFD)结构简单、灵敏度高, 但是也存在“死区”, 且有“过冲”现象. 在本文中采用 D 触发器型 PFD 结构来获得无“死区”、高灵敏度的 PFD.

2.1 PFD 的电路结构及工作原理

图 1 所示为本文中提出的 PFD 电路的具体实现,从图中可以看出,D 触发器由两个低电平有效的 RS 锁存器交叉耦合而成,PFD 的输出信号通过 BUFFER 与电荷泵的输入端相连,保证其有足够的驱动能力,其中 BUFFER 由两个反相器组成.

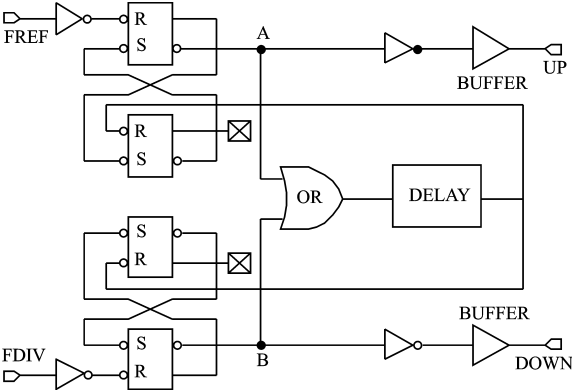


图 1 PFD 的电路结构

同时为了避免出现“死区”现象,在二输入或门的输出和 D 触发器复位输入之间增加一个延迟单元,保证复位信号的脉冲宽度足以打开电荷泵开关,仿真结果表明,本设计中 PFD 的复位脉冲宽度为 110 ps.

2.2 改进的门电路结构

为减少 PLL 的参考杂散,对于 PFD 电路而言,要求其两路输出时钟信号具有良好的匹配性能. 在本设计中采用了二输入与门,对于一般的二输入与门其电路结构如图 2 所示.

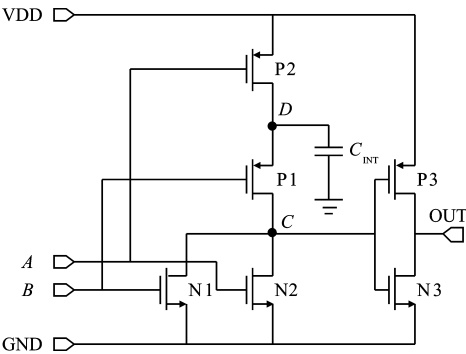


图 2 普通的二输入与门

在图 2 中若有 A 接 UP 的反相信号,而 B 接 DOWN 的反相信号,下述两种情形均可使节点 C 从高切换至低,即(1) $A=0, B=0 \rightarrow 1$ 和(2) $B=0, A=0 \rightarrow 1$. 当 $A=0, B$ 从 $0 \rightarrow 1$ 翻转时, P1 管关断,故下拉器件只需对输出节点 C 处的电容进行放电即可. 反之,对于 $B=0, A$ 从 $0 \rightarrow 1$ 翻转时,此时 P1 管导通,下拉器件除了对输出节点 C 处电容进行放电外还需对内部节点 D 处的电容放电,增加放电时

间,使翻转变慢. 即在 A、B 处的信号经历的门电路结构和延迟不一致,导致 A、B 处信号不等价.

为解决这一问题,从而使 PFD 的输出具有良好匹配性能,采用了图 3 中的改进的与门结构.

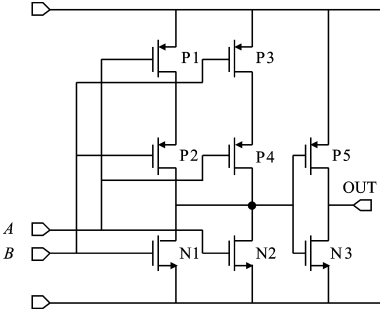


图 3 改进的二输入与门

图 3 中, P1、P2、P3 和 P4 构成上拉网络,各器件参数均相等. 在这种结构下,不管是 $A=0, B=0 \rightarrow 1$, 还是 $B=0, A=0 \rightarrow 1$, A、B 处信号经历的门电路结构和延迟一致,保证 A、B 两节点处的信号等价.

3 电荷泵的具体实现

基本的电荷泵主要由两个恒流源和分别受 PFD 的输出 UP 和 DOWN 信号控制的开关构成. 根据开关管与电流源管所接位置的不同,可以分为漏极、栅极和源级开关三种结构^[4],参见图 4.

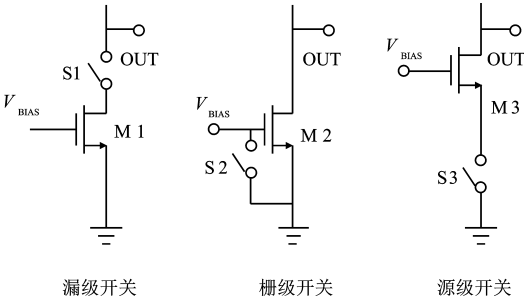


图 4 不同开关位置的电荷泵结构

漏极开关结构的电荷泵在充放电时,由于电流源管 M1 存在线性工作状态,故瞬态波形会出现电流尖峰,导致失配产生,此外开关管 S1 寄生电容的存在,会使输出电压产生纹波,而使 PLL 产生参考杂散^[5]. 栅极开关结构的电荷泵由于其开关速度由电流源管 M2 栅极节点上的时间常数决定,就一般设计而言,为降低功耗,为其提供偏置的镜像电流管一般尺寸较小,这就使得该栅极节点的时间常数偏大,故开关速度慢. 而源级开关结构的电荷泵由于开关 S3 与低阻抗点连接,故开关切换速度快,且电流源管 M3 只有截止、饱和两种工作状态,故电流尖峰小,匹配性能好.

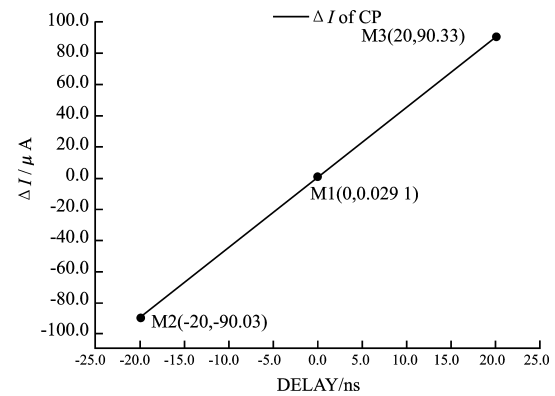


图 10 电荷泵动态特性

4 PFD 与 CP 的整体版图及仿真

如图 11 所示,左上方为鉴频鉴相器的版图,左下方为电荷泵开关管以及电流源管,右边为电荷泵中运放的版图. 整个版图面积为 $45\text{ }\mu\text{m}\times 120\text{ }\mu\text{m}$,即为 $0.005\text{ }4\text{ mm}^2$.

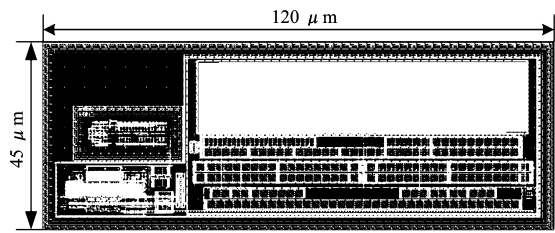


图 11 PFD 与 CP 的整体版图

图 12 所示为 PFD 与 CP 联合仿真所得到的线性度曲线,当 DELYA 为 0,即两时钟同相时, ΔQ 为 11.4 fC ,说明在锁定状态下,电荷泵在一个时钟周期内向环路滤波器注入的平均净电荷非常小,结合电荷泵静特性,可以看出鉴频鉴相器和电荷泵均具有良好的动态和静态匹配特性.

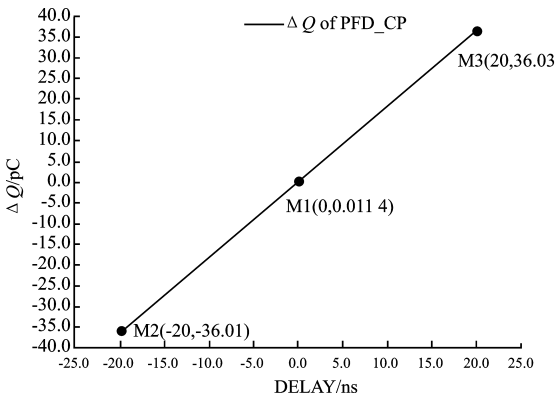


图 12 PFD 和 CP 电路的线性度

5 结束语

本文设计的基于 SMIC 28 nm CMOS 工艺高性能鉴频鉴相器和电荷泵,采用优化的门电路结构,来减少 PFD 输出的两路时钟信号的失配,采用源极开关的荷泵结构,来获得电流失配小,开关切换速度快的性能,同时在电荷泵中采用轨到轨输入的二级运放,进一步减小电荷泵的电流失配并且使其在输出电压变化范围很大时也具有有良好的匹配性能. 仿真结果表明:电荷泵在输出电压为 $0.1\sim 0.95\text{ V}$ 时充放电电流失配小于 0.5% ,输出电压为 $0.25\sim 0.8\text{ V}$ 时失配小于 0.06% . $180\text{ }\mu\text{A}$ 电荷泵输出电流下,平均动态失配电流仅为 29.1 nA ,在 SMIC 28 nm 工艺下,PFD 和 CP 整体芯片面积仅为 $0.005\text{ }4\text{ mm}^2$. 在锁定状态下,PFD 和 CP 电流在一个时钟周期内向环路滤波器注入的平均净电荷非常小,仅为 11.4 fC ,实现了 PFD 和 CP 的高性能设计.

参考文献:

[1] Tsai K H, Wu J H, Liu S J. Frequency dividers with enhanced locking range[C]// IEEE Radio Frequency Integrated Circuits Symposium. Atlanta, GA; IEEE, 2008: 661-664.

[2] Thompson I, Brennan P V. Phase noise contribution of the phase/frequency detector in a digital PLL frequency synthesizer [J]. IEEE Proceeding-Circuits Devices and Systems, 2003, 150:1-5.

[3] Roland E Best. Phase-locked loop Design, Simulation and Application [M]. New York: McGraw Hill, 2003.

[4] Hieu N T, LeeT W, Park H H. A perfectly current matched charge pump of CP-PLL for chip to chip optical link [C]// 2007 Pacific Rim Conference on Lasers and Electro-Optics. Seoul;IEEE, 2007: 7-8.

[5] Yoshimura T, Iwade S, Makino H, et al. Analysis of pull-in range limit by charge pump mismatch in a linear phase locked loop [J]. EEE Trans on Circuits and Systems I: Regular Papers, 2013, 60(4): 896-907.

[6] Willy M C Sansen. Analog Design Essentials [M]. 北京:清华大学出版社,2007.

作者简介:

谢 灿 男,(1991-),硕士研究生. 研究方向为模拟/射频 CMOS 集成电路设计. E-mail: xiecan@ime. ac. cn

黄水龙 男,(1975-),博士,副研究员. 研究方向为高性能模拟/射频 CMOS 集成电路.